

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-163994
(P2000-163994A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 1 1 C 29/00	6 7 1	C 1 1 C 29/00	6 7 1 M 2 G 0 3 2
G 0 1 R 31/28		C 0 1 R 31/28	B 5 B 0 1 5
G 1 1 C 11/413			V 5 B 0 2 4
11/407		G 1 1 C 11/34	J 5 L 1 0 6
11/401			3 4 1 D 9 A 0 0 1
審査請求 未請求 請求項の数10 O L (全 13 頁) 最終頁に続く			

(21) 出願番号 特願平10-333062

(22) 出願日 平成10年11月24日 (1998. 11. 24)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大塚 伸朗

神奈川県川崎市幸区堀川町580番1号 株式会社東芝半導体システム技術センター内

(74) 代理人 100083806

弁理士 三好 秀和 (外7名)

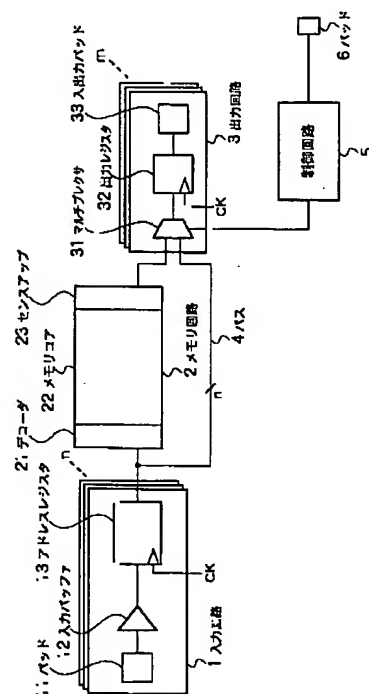
最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 入力データのセットアップ時間及びホールド時間のテスト時間を削減し、またテストの信頼性を向上させること。

【解決手段】 アドレスデータはパッド、入力バッファを通してアドレスレジスタに取り込まれ、メモリアのリード、ライト動作に使用される。セットアップ及びホールド時間のテスト時、制御回路によりマルチプレクサがパス側に切り換わり、アドレスレジスタの出力側と出力レジスタとが接続され、アドレスレジスタに保存されているアドレスデータが出力レジスタに直接転送される。これにより、出力レジスタのアドレスデータが出力パッドを通して外部のテスターなどに読み出され、入力アドレスデータそのものを正しいかどうかチェックできる。直接入力アドレスをチェックするため、上記テストを短時間且つ高信頼性で行うことができる。



【特許請求の範囲】

【請求項1】 外部入力クロックに同期して入力されたアドレスデータを保存するレジスタ群と、データを外部に出力する出力回路群と、テストモード時、前記レジスタ群に保存されたアドレスデータを読み出して前記出力回路群に直接転送することにより外部に出力する読み出し手段とを具備したことを特徴とする半導体記憶装置。

【請求項2】 外部入力クロックに同期して入力されたコントロールデータを保存するレジスタ群と、データを外部に出力する出力回路群と、テストモード時、前記レジスタ群に保存されたコントロールデータを読み出して前記出力回路群に直接転送することにより外部に出力する読み出し手段とを具備したことを特徴とする半導体記憶装置。

【請求項3】 外部入力クロックに同期して入力されたアドレスデータを保存するレジスタ群と、データを外部に出力する出力回路群と、前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、前記レジスタ群に保存されたアドレスデータか、又は前記メモリ回路に記憶されたデータのいずれか一方を選択して前記出力回路群に転送する選択手段と、テストモード時に、前記選択手段が前記レジスタ群に保存されているアドレスデータを選択して前記出力回路に転送するように前記選択手段を制御する制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項4】 前記レジスタの数を n 個とし、前記出力回路の数を m 個とし、 $n > m$ の場合、前記選択手段の前段に、 m 個の前記レジスタに保存されている m 本のアドレスデータを選択して前記選択手段に出力することを順次 k 回繰り返す、 $(n - mk) \leq m$ になった時、残りの $(n - mk)$ 個の前記レジスタに保存されている $(n - mk)$ 本のアドレスデータを選択して前記選択手段に送出する第2の選択手段を設けたことを特徴とする請求項3記載の半導体記憶装置。

【請求項5】 外部入力クロックに同期して入力コントロールデータを保存するレジスタ群と、データを外部に出力する出力回路群と、データを記憶するメモリ回路と、前記レジスタ群に保存されたコントロールデータか、又は前記メモリ回路に記憶されたデータのいずれか一方を選択して前記出力回路群に転送する選択手段と、テストモード時に、前記選択手段が前記レジスタ群に保存されているコントロールデータを選択して前記出力回路に転送するように前記選択手段を制御する制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項6】 前記レジスタの数を n 個とし、前記出力回路の数を m 個とし、 $n > m$ の場合、前記選択手段の前段に、 m 個の前記レジスタに保存されている m 本のコン

trolデータを選択して前記選択手段に出力することを順次 k 回繰り返す、 $(n - mk) \leq m$ になった時、残りの $(n - mk)$ 個の前記レジスタに保存されている $(n - mk)$ 本のコントロールデータを選択して前記選択手段に送出する第2の選択手段を設けたことを特徴とする請求項5記載の半導体記憶装置。

【請求項7】 外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、レライト用にアドレスデータを保存する第3のレジスタ群と、外部入力クロックに同期して入力されたデータをレライト用に保存する第2のレジスタ群と、前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、データを外部に出力する出力回路群と、書き込み入力データを前記メモリ回路に記憶する前に一旦保存するデータレジスタ群と、前記第1のレジスタ群に保存されたアドレスデータと前記第3のレジスタ群に保存されたアドレスデータを比較し、その全て或いは、一部が一致した場合にヒット信号を発生する判定手段と、前記第1のレジスタ群に保存されたアドレスデータ、又は前記第2のレジスタ群に保存されたデータの一方を選択して出力する第1の選択手段と、前記メモリ回路に記憶されたデータ、又は前記第1の選択手段の出力データのいずれか一方を選択して前記出力回路群に転送する第2の選択手段と、通常モード時、前記第2の選択手段が前記メモリ回路に記憶されたデータを選択して前記出力回路に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記データレジスタ群に保存されたデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御し且つ、その際に前記判定手段によりヒット信号が発生されると、前記第2の選択手段がその時だけ前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御し、テストモード時、前記第2の選択手段が前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記第1のレジスタ群に保存されたアドレスデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御する制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項8】 外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、レライト用にアドレスデータを保存する第4のレジスタ群と、外部入力クロックに同期して入力されたデータを保存する第2のレジスタ群と、外部入力クロックに同期して入力されたコントロールデ

ータを保存する第3のレジスタ群と、
 前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、
 データを外部に出力する出力回路群と、
 書き込み入力データを前記メモリ回路に記憶する前に一旦保存するデータレジスタ群と、
 前記第1のレジスタ群に保存されたアドレスデータと前記第4のレジスタ群に保存されたアドレスデータを比較し、その全て或いは、一部が一致した場合にヒット信号を発生する判定手段と、
 前記第1のレジスタ群に保存されたアドレスデータ、前記第3のレジスタ群に保存されたコントロールデータ、又は前記第2のレジスタ群に保存されたデータのいずれか一つを選択して出力する第1の選択手段と、
 前記メモリ回路に記憶されたデータ、又は前記第1の選択手段の出力データのいずれか一方を選択して前記出力回路群に転送する第2の選択手段と、
 通常モード時、前記第2の選択手段が前記メモリ回路に記憶されたデータを選択して前記出力回路群に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記データレジスタ群に保存されたデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御し且つ、その際に前記判定手段によりヒット信号が発生されると、前記第2の選択手段がその時だけ前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御し、テストモード時、前記第2の選択手段が前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記第1のレジスタ群に保存されたアドレスデータ、又は前記第3のレジスタ群に保存されたコントロールデータのいずれか一方を選択して前記第2の選択手段に出力するように前記第1の選択手段を制御する制御手段とを具備したことを特徴とする半導体記憶装置。

【請求項9】 通常動作時に、外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、
 第1のテストモード時、外部入力テストクロックに同期して入力されたデータを保存する第2のレジスタ群と、
 前記第2のレジスタ群をシリアルに接続してその保存データを順番に読み出す出力手段と、
 第2のテストモード時、前記第1のレジスタ群に保存されたアドレスデータを前記第2のレジスタ群に転送して保存させる転送手段とを具備し、
 前記転送手段により前記第2のレジスタ群に転送されたアドレスデータを前記出力手段により外部に順番に読み出すことを特徴とする半導体記憶装置。

【請求項10】 通常動作時に、外部入力クロックに同期して入力されたコントロールデータを保存する第1の

レジスタ群と、
 第1のテストモード時、外部入力テストクロックに同期して入力されたデータを保存する第2のレジスタ群と、
 前記第2のレジスタ群をシリアルに接続してその保存データを順番に読み出す出力手段と、
 第2のテストモード時、前記第1のレジスタ群に保存されたコントロールデータを前記第2のレジスタ群に転送して保存させる転送手段とを具備し、
 前記転送手段により前記第2のレジスタ群に転送されたコントロールデータを前記出力手段により外部に順番に読み出すことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、同期型の半導体記憶装置に係り、特に入力信号のセットアップ時間とホールド時間をチェックするためのテストの改善に関する。

【0002】

【従来の技術】従来から同期型の半導体記憶装置（同期型メモリ）においては、アドレス入力信号、コントロール信号及びデータ入力信号は、外部からの入力クロックに同期してチップ内部に取り込まれ、レジスタなどの記憶回路にストアされた上で、その後の動作サイクルにおいて、チップ内部で読み出し（リード）や書き込み（ライト）動作に用いられる。

【0003】その際、図7に示したクロックの立ち上がり（あるいは立ち下がり）のタイミングにおけるアドレス入力或いは、データ入力状態が内部に取り込まれる。これらの入力信号は、そのタイミングに対して、多少の時間的マージンをもって、入力されることが必要であり、それらの最小値として仕様上規定されるものが、図7に示されるセットアップ時間（以下もSと称する）、ホールド時間（以下もHと称する）と呼ばれる。

【0004】これらは、各入力信号ピン及びクロック信号の入力回路における動作遅延、及びそのばらつきによる誤信号の取り込みを回避するために必要な時間となっている。

【0005】実際のチップにおいては、各入力信号のタイミングをクロックに対してずらしていき、正常な入力取り込みができなくなるタイミングをテストにより調べることで、 t_S 、 t_H をチェックする。この際、正常な取り込みができなくなったと判定するのは、出力に現れるデータをもって判別される。

【0006】今、アドレスピン入力について考える。出力に現れるデータは、1か0の2値しかないので、所望のアドレスが取り込まれていないことを判別するには、そのアドレスとそれ以外の全てのアドレスに書き込まれているデータを異なるものとした上でチェックしないと、本当に間違ったアドレスとなってしまうのかどうかの判別ができない。

【0007】

【発明が解決しようとする課題】上記のように従来の同期型の半導体記憶装置のアドレス入力、コントロール入力のセットアップ時間、ホールド時間のチェックを行うテストでは、チェックするアドレスセット毎に、データの書き換え初期設定をしておく必要がある。当然ながら、このようなチェックは全てのアドレスについて振りながら行う必要がある。

【0008】その上、 t_S 、 t_H の実力値は、パッドや回路の配置の具合、信号配線長のばらつきなどからくる寄生効果の差により、同じアドレスであってもばらつくものである。それ故、どのアドレス入力の取り込みに失敗したのかまでをチェックしようとする、タイミングを変えることをアドレスのセットととしてではなく、ひとつひとつのアドレス毎に実行することが必要となり、また、それがアドレスの組み合わせで変化しようとする、全ての組み合わせを網羅するのに、膨大な時間がかかるテストとなる。しかも、所望のアドレスが取り込まれていないことを判別するのに、出力に現れるデータの値によっているので、判別が間接的であり、その分、信頼性に欠けるという問題がある。

【0009】更に、昨今、高速メモリにおいて採用されているレイトライト (late write) を考えると、更にその複雑さが増してしまう。レイトライトとは、リードサイクルからライトサイクルへの遷移において必要となる無駄なサイクルを減らすために、図8に示すように、アドレス取り込みのタイミングと、そのアドレスに書かれるデータの取り込みを1サイクルずらす手法である。

【0010】この場合、外部からは、図中 Φ で示すサイクルの始めのクロック立ち上がりでライトの指定がされ、 Φ がライトサイクルとして規定されるものの、データが取り込まれるのは Φ サイクルの始めであるために、実際のメモリコアに書き込まれるのは Φ 以降のサイクルとなる。

【0011】図8では、サイクル Φ もライトであるために、サイクル Φ においてメモリコアにデータが書き込まれている。ここで、 Φ のサイクルがリード指定された場合を考えると、図9のようになる。即ち、書きこみデータは、 Φ のサイクルの始めで取り込まれるものの、 Φ のサイクルはリードであり、メモリコアはリード状態となるために、そのデータの書きこみは、その後、初めてライトとなるサイクル Φ となる。

【0012】つまり、サイクル Φ から Φ の前までのサイクルにおいては、書きこみデータはチップに取り込まれてデータレジスタにストアされているものの、実際にメモリコアには書きこみがなされていない状態となっているために、メモリコアの該当のアドレスには古いデータしか存在しない。よって、リードでそのアドレスのデータを読み出そうとしても、最新の書きこみデータが読み出せないという問題がある。これを回避するには、所望

のデータの書きこみ後に、必要なだけダミーのライトサイクルを追加して、所望のデータをメモリコアに書き込んでおく必要がある。

【0013】このように、レイトライト仕様の場合、データをメモリコアに書いておくのに、余計なサイクルが必要となり、先に述べた t_S 、 t_H のテストをますます複雑化させ、時間がかかる。このレイトライトによる、書きこみデータとメモリコアデータとの不一致の問題に対応するために、データコヒーレンスをサポートさせているチップもある。

【0014】つまり、リード要求アドレスと、内部レイトライト用レジスタに残っているアドレスとの一致をチェックし、まだメモリコアに書かれていないデータのアドレスが読み出し要求の場合は、メモリコアのデータの代りにレジスタのデータを自動的に読み出すという機能を備えているものである。逆に、この場合は、アドレス一致、不一致による読み出しデータのコンパチビリティを考慮しておく必要があり、更にテストを複雑化してしまう。

【0015】以上、アドレス入力について述べてきたが、コントロールピンについても同様である。コントロールピンの場合、アドレスと違い、入力の誤取り込みがあると、動作モードが異なる等して、明らかに誤取り込みと判別出来ることもあるし、ピン毎に意味づけが異なるという点では、アドレスほど、テストは複雑ではない。しかし、誤取り込みにより起る現象が、テスト結果に影響しないような場合、あるいは、複合的に発生した誤取り込みで、それが判別できない場合もありうるので、出力データのみから、 t_S 、 t_H をテストするには、それなりの考慮が必要となる。

【0016】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、アドレスデータ入力、コントロールデータ入力のセットアップ時間及びホールド時間のテスト時間とテストコストを削減することができると共に、前記テストの信頼性を向上させることができる半導体記憶装置を提供することである。

【0017】

【課題を解決するための手段】上記目的を達成するために、第1の発明の特徴は、外部入力クロックに同期して入力されたアドレスデータを保存するレジスタ群と、データを外部に出力する出力回路群と、テストモード時、前記レジスタ群に保存されたアドレスデータを読み出して前記出力回路群に直接転送することにより外部に出力する読み出し手段とを具備したことにある。

【0018】この第1の発明によれば、テストモード時、前記レジスタ群に入力されたアドレスデータを直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0019】第2の発明の特徴は、外部入力クロックに同期して入力されたコントロールデータを保存するレジ

スタ群と、データを外部に出力する出力回路群と、テストモード時、前記レジスタ群に保存されたコントロールデータを読み出して前記出力回路群に直接転送することにより外部に出力する読み出し手段とを具備したことにある。

【0020】この第2の発明によれば、テストモード時、前記レジスタ群に入力されたコントロールデータを直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0021】第3の発明の特徴は、外部入力クロックに同期して入力されたアドレスデータを保存するレジスタ群と、データを外部に出力する出力回路群と、前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、前記レジスタ群に保存されたアドレスデータか、又は前記メモリ回路に記憶されたデータのいずれか一方を選択して前記出力回路群に転送する選択手段と、テストモード時に、前記選択手段が前記レジスタ群に保存されているアドレスデータを選択して前記出力回路に転送するように前記選択手段を制御する制御手段とを具備したことにある。

【0022】この第3の発明によれば、テストモード時に、アドレスデータを入力した前記レジスタ群と前記出力回路群とを直接接続するパスが前記選択手段を介して形成され、前記レジスタ群に入力されたアドレスデータを前記パスを介して直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0023】第4の発明の特徴は、前記レジスタの数を n 個とし、前記出力回路の数を m 個とし、 $n > m$ の場合、前記選択手段の前段に、 m 個の前記レジスタに保存されている m 本のアドレスデータを選択して前記選択手段に出力することを順次 k 回繰り返す、 $(n - mk) \leq m$ になった時、残りの $(n - mk)$ 個の前記レジスタに保存されている $(n - mk)$ 本のアドレスデータを選択して前記選択手段に送出する第2の選択手段を設けたことにある。

【0024】この第4の発明によれば、例えば、前記レジスタの数を8個とし、前記出力回路の数を3個とする。まず第1回目に、3個の前記アドレスレジスタに保存されている3本のアドレスデータを3個の出力回路に転送し、3個の出力ピンから取り出す。第2回目に、残りの3個の前記アドレスレジスタに保存されている3本のアドレスデータを3個の出力ピンから取り出す。これにより、残りのアドレスデータの数は $(8 - 3 \times 2) = 2$ となり、 $2 \leq 3$ であるため、この残りの2本のアドレスデータを2個の出力ピンから取り出す。これにより、入力ピンの数に比べて出力ピンの数の方が少ない場合でも、円滑にアドレスデータを直接出力ピンから取り出すことができる。

【0025】第5の発明の特徴は、外部入力クロックに同期して入力コントロールデータ群を保存するレジスタ

群と、データを外部に出力する出力回路群と、データを記憶するメモリ回路と、前記レジスタ群に保存されたコントロールデータか、又は前記メモリ回路に記憶されたデータのいずれか一方を選択して前記出力回路群に転送する選択手段と、テストモード時に、前記選択手段が前記レジスタ群に保存されているコントロールデータを選択して前記出力回路に転送するように前記選択手段を制御する制御手段とを具備したことにある。

【0026】この第5の発明によれば、テストモード時に、コントロールデータを入力した前記レジスタ群と前記出力回路群とを直接接続するパスが前記選択手段を介して形成され、前記レジスタ群に入力されたコントロールデータを前記パスを介して直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0027】第6の発明の特徴は、前記レジスタの数を n 個とし、前記出力回路の数を m 個とし、 $n > m$ の場合、前記選択手段の前段に、 m 個の前記レジスタに保存されている m 本のコントロールデータを選択して前記選択手段に出力することを順次 k 回繰り返す、 $(n - mk) \leq m$ になった時、残りの $(n - mk)$ 個の前記レジスタに保存されている $(n - mk)$ 本のコントロールデータを選択して前記選択手段に送出する第2の選択手段を設けたことにある。

【0028】この第6の発明によれば、例えば、前記レジスタの数を8個とし、前記出力回路の数を3個とする。まず第1回目に、3個の前記コントロールレジスタに保存されている3本のコントロールデータを3個の出力回路に転送し、3個の出力ピンから取り出す。第2回目に、残りの3個の前記コントロールレジスタに保存されている3本のコントロールデータを3個の出力ピンから取り出す。これにより、残りのコントロールデータの数は $(8 - 3 \times 2) = 2$ となり、 $2 \leq 3$ であるため、この残りの2本のコントロールデータを2個の出力ピンから取り出す。これにより、入力ピンの数に比べて出力ピンの数の方が少ない場合でも、円滑にコントロールデータを直接出力ピンから取り出すことができる。

【0029】第7の発明の特徴は、外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、レライト用にアドレスデータを保存する第3のレジスタ群と、外部入力クロックに同期して入力されたデータをレライト用に保存する第2のレジスタ群と、前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、データを外部に出力する出力回路群と、書き込み入力データを前記メモリ回路に記憶する前に一旦保存するデータレジスタ群と、前記第1のレジスタ群に保存されたアドレスデータと前記第3のレジスタ群に保存されたアドレスデータを比較し、その全て或いは、一部が一致した場合にヒット信号を発生する判定手段と、前記第1のレジスタ群に保存されたアドレスデータ、又は前記第2のレジスタ群に保存されたデー

タの一方を選択して出力する第1の選択手段と、前記メモリ回路に記憶されたデータ、又は前記第1の選択手段の出力データのいずれか一方を選択して前記出力回路群に転送する第2の選択手段と、通常モード時、前記第2の選択手段が前記メモリ回路に記憶されたデータを選択して前記出力回路に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記データレジスタ群に保存されたデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御し且つ、その際に前記判定手段によりヒット信号が発生されると、前記第2の選択手段がその時だけ前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御し、テストモード時、前記第2の選択手段が前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記第1のレジスタ群に保存されたアドレスデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御する制御手段とを具備したことにある。

【0030】この第7の発明によれば、テストモード時に、アドレスデータを入力した第1のレジスタ群と前記出力回路群とを直接接続するパスが第1の選択手段及び第2の選択手段を介して形成され、前記レジスタ群に入力されたアドレスデータを前記パスを介して直接出力ピンから読み出してテスターなどでその値をチェックすることができ、しかも、前記メモリ回路と出力回路を接続するクリティカルパスに新たに選択手段などを付加する必要がないため、通常読み出し時の性能劣化がない。

【0031】第8の発明の特徴は、外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、ライト用にアドレスデータを保存する第4のレジスタ群と、外部入力クロックに同期して入力されたデータを保存する第2のレジスタ群と、外部入力クロックに同期して入力されたコントロールデータを保存する第3のレジスタ群と、前記入力アドレスデータで指定された場所にデータを記憶するメモリ回路と、データを外部に出力する出力回路群と、書き込み入力データを前記メモリ回路に記憶する前に一旦保存するデータレジスタ群と、前記第1のレジスタ群に保存されたアドレスデータと前記第4のレジスタ群に保存されたアドレスデータを比較し、その全て或いは、一部が一致した場合にヒット信号を発生する判定手段と、前記第1のレジスタ群に保存されたアドレスデータ、前記第3のレジスタ群に保存されたコントロールデータ、又は前記第2のレジスタ群に保存されたデータのいずれか一つを選択して出力する第1の選択手段と、前記メモリ回路に記憶されたデータ、又は前記第1の選択手段の出力データのいずれか一方を選択して前記出力回路群に転送する第2の選択手段と、通常モード時、前記第2の選択手段が前記メモリ回路に記憶されたデータを選択して前記出力回路群に

転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記データレジスタ群に保存されたデータを選択して前記第2の選択手段に出力するように前記第1の選択手段を制御し且つ、その際に前記判定手段によりヒット信号が発生されると、前記第2の選択手段がその時だけ前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御し、テストモード時、前記第2の選択手段が前記第1の選択手段の出力データを選択して前記出力回路群に転送するように前記第2の選択手段を制御すると共に、前記第1の選択手段が前記第1のレジスタ群に保存されたアドレスデータ、又は前記第3のレジスタ群に保存されたコントロールデータのいずれか一方を選択して前記第2の選択手段に出力するように前記第1の選択手段を制御する制御手段とを具備したことにある。

【0032】この第8の発明によれば、テストモード時に、アドレスデータを入力した第1のレジスタ群、又はコントロールデータを入力した第3のレジスタ群の一方と前記出力回路群とを直接接続するパスが第1の選択手段及び第2の選択手段を介して形成され、前記レジスタ群に入力されたアドレスデータ、又はコントロールデータを前記パスを介して直接出力ピンから読み出してテスターなどでその値をチェックすることができ、しかも、前記メモリ回路と出力回路を接続するクリティカルパスに新たに選択手段などを付加する必要がないため、通常読み出し時の性能劣化がない。

【0033】第9の発明の特徴は、通常動作時に、外部入力クロックに同期して入力されたアドレスデータを保存する第1のレジスタ群と、第1のテストモード時、外部入力テストクロックに同期して入力されたデータを保存する第2のレジスタ群と、前記第2のレジスタ群をシリアルに接続してその保存データを順番に読み出す出力手段と、第2のテストモード時、前記第1のレジスタ群に保存されたアドレスデータを前記第2のレジスタ群に転送して保存させる転送手段とを具備し、前記転送手段により前記第2のレジスタ群に転送されたアドレスデータを前記出力手段により外部に順番に読み出すことにある。

【0034】この第9の発明によれば、例えば、入力データのセットアップ時間、ホールド時間をテストする第2のテストモード時、第1のレジスタ群に保存された入力アドレスデータを第2のレジスタ群に転送して保存した後、第2のレジスタ群をシリアルにチェーン状に繋いで、各レジスタに保存された入力アドレスデータを前記チェーンを通して順番に外部に取り出す。これにより、前記第1のレジスタ群に入力されたアドレスデータを直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0035】第10の発明の特徴は、通常動作時に、外部入力クロックに同期して入力されたコントロールデー

タを保存する第1のレジスタ群と、第1のテストモード時、外部入力テストクロックに同期して入力されたデータを保存する第2のレジスタ群と、前記第2のレジスタ群をシリアルに接続してその保存データを順番に読み出す出力手段と、第2のテストモード時、前記第1のレジスタ群に保存されたコントロールデータを前記第2のレジスタ群に転送して保存させる転送手段とを具備し、前記転送手段により前記第2のレジスタ群に転送されたコントロールデータを前記出力手段により外部に順番に読み出すことにある。

【0036】この第10の発明によれば、例えば、入力データのセットアップ時間、ホールド時間をテストする第2のテストモード時、第1のレジスタ群に保存された入力コントロールデータを第2のレジスタ群に転送して保存した後、第2のレジスタ群をシリアルにチェーン状に繋いで、各レジスタに保存された入力コントロールデータを前記チェーンを通して順番に外部に取り出す。これにより、前記第1のレジスタ群に入力されたコントロールデータを直接出力ピンから読み出してテスターなどでその値をチェックすることができる。

【0037】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて説明する。図1は、本発明の半導体記憶装置の第1の実施の形態を示したブロック図である。本例はアドレスピンから入力されるアドレスデータのテストを行う例である。アドレスを入力する n 個の入力回路1に、データを記憶するメモリ回路2が接続され、このメモリ回路2にデータを出力する m 個の出力回路3が接続されている。入力回路1はメモリ回路2を迂回するバス4を介して直接出力回路3に接続されている。ここで、入力回路1は、アドレス入力用のパッド11、入力バッファ12及びアドレスレジスタ13から成り、メモリ回路2はデコーダ21、メモリコア22及びセンスアンプ23から成り、出力回路3は入力を選択して切り換えるマルチプレクサ31、出力レジスタ32及び入出力パッド33から成っている。更に、出力回路3のマルチプレクサ31の入力選択を切り換える制御信号を発生する制御回路5と、この制御回路5にコマンドなどを外部から入力するパッド6が設けられている。

【0038】次に本実施の形態の動作を説明する。専用のテストモードを設け、そのテストモードにおいては、入力アドレスを保存するアドレスレジスタ13内部のアドレスデータをバス4を通して出力回路3に直接導入することによって外部に出力するようにしている。

【0039】即ち、制御回路5はパッド6を通して図示されない外部のテスター等からコマンドが入力されると、制御信号を発生して、出力回路3のマルチプレクサ31の入力をバス4側に切り換える。

【0040】入力回路1のパッド11から入力されたアドレスはアドレスバッファ12を通してアドレスレジ

スタ13に保存される。上記テストモード時には、アドレスレジスタ13に保存されたアドレスは読み出され、バス4、マルチプレクサ31を通して、出力レジスタ32に保存される。この保存されたアドレスが入出力パッド33から出力ピン（図示せず）を通して外部のテスターなどに入力される。

【0041】本実施の形態によれば、出力回路3の入力部にマルチプレクサ31を設けることによって、テストモードにおいては、通常のメモリコア22からの読み出しデータの代りに、アドレスレジスタ13内のアドレスデータを直接出力回路3に転送して出力ピンから取り出すことができるため、アドレスレジスタ13に入力されたアドレスデータを、アドレス毎に直接に確認することができる。

【0042】これにより、 t_S 、 t_H のテストにおいて、チェックしたいアドレスに応じて、いちいち必要なデータを書きこむ必要がなくなり、従来、アドレス毎に異なるデータを書きこむために必要だった時間をテスト時間から削除することができ、テスト時間を大幅に短縮化することができる。このため、テストにかかるコストを低減することができる。また、メモリ回路2に記憶されているデータを出力することにより、アドレスが正しいか否かを予測するのではなく、アドレスデータの値を直接チェックできるので、テスト結果の信頼性を向上させることができる。ここで、アドレスピンの本数を n 本、出力ピンの本数を m 本としたとき、 $n \leq m$ であれば、 m 本の出力ピンのうち n 本を用いてアドレスデータを直接出力ピンから取り出してチェックすることができ、図1に示した構成で対応できる。しかし、 $n > m$ の場合、最初に m 本の出力端子を用いて、 m 本のアドレスデータのチェックを行い、その後、 $(n - m)$ 本の出力端子を用いて、 $(n - m)$ 本のアドレスデータのチェックを行えばよいが、図1の構成ではこのような動作を行うことができない。

【0043】尚、マルチプレクサ31を制御する制御回路5はチップの内部にあっても、外部にあってもよい。又、アドレスレジスタ13をコントロールレジスタに変え、このコントロールレジスタにコントロールデータを入力する構成にすれば、上記構成で、コントロールデータについても直接出力ピンから取り出すことができ、同様の効果を得ることができる。

【0044】図2は、本発明の半導体記憶装置の第2の実施の形態を示したブロック図である。但し、図1に示した第1の実施の形態と同一部には同一符号を用い、且つ、その説明を適宜省略する。本例は、入力回路1と出力回路3をメモリ回路2を迂回して接続するバス4にマルチプレクサ14が挿入されている。このマルチプレクサ14は m 個のアドレスレジスタ13の中の n 本のアドレスデータを転送する経路 m と、残りの $(m - n)$ 個のアドレスレジスタ13の中の $(m - n)$ 本のアドレスデ

ータを転送する経路 ($m-n$) とのいずれか一方を選択して出力回路3のマルチプレクサ31に接続する切り換えを行うもので、この切り換えは制御回路5によって行われる。他の構成は上記した第1の実施の形態と同様である。

【0045】次に本実施の形態の動作について説明する。テストを行う時、図示されない外部のテスターなどからパッド6を通して第1のコマンドが制御回路5に入力されると、制御回路5は出力回路3のマルチプレクサ31をバス4側に切り換えて、装置をテストモードにすると共に、同テスト信号でマルチプレクサ14を m 個のデータを転送する経路 m 側に切り換える。

【0046】その後、前記 m 個のアドレスレジスタ13に保存された m 本のアドレスデータが読み出されて、バス4、マルチプレクサ14、31を通して、 m 個の出力レジスタ32に保存され、 m 個の入出力パッド33を通して m 個の出力ピンから取り出される。

【0047】次に、前記テスターなどからパッド7を通して第3のコマンドが制御回路5に入ると、制御回路5はマルチプレクサ14を ($n-m$) 本のデータを転送する経路 ($n-m$) 側に切り換える。その後、残った ($n-m$) 個のアドレスレジスタ13に保存された ($n-m$) 本のアドレスデータが読み出され、バス4、マルチプレクサ14、31を通して、($n-m$) 個の出力レジスタ32に保存され、($n-m$) 個の入出力パッド33を通して ($n-m$) 個の出力ピンから取り出される。

【0048】本実施の形態によれば、アドレス入力ピン n 個と出力ピン m 個の関係が $n > m$ であっても、円滑に n 本のアドレスデータのチェックを行うことができる。他の効果は図1に示した第1の実施の形態と同様である。

【0049】ところで、上記の実施の形態では、 $n > 2m$ の場合に対応していない。このような場合は、前記 m 個のレジスタ13に保存されている m 本のアドレスデータを読み出して、バス4、マルチプレクサ14、31を通して、 m 個の出力レジスタ32に保存した後、 m 個の入出力パッド33を通して m 個の出力ピンから取り出す動作を k 回繰り返して行い、それにより、($n-mk$) $\leq m$ になった時、残りの ($n-mk$) 個の前記レジスタ13に保存されている ($n-mk$) 本のアドレスデータを読み出して、バス4、マルチプレクサ14、31を通して、 m 個の出力レジスタ32に保存した後、 m 個の入出力パッド33を通して m 個の出力ピンから取り出すようにすればよい。

【0050】尚、マルチプレクサ14、31を制御する制御回路5はチップの内部にあっても、外部にあってもよい。又、アドレスレジスタ13をコントロールレジスタに変え、このコントロールレジスタにコントロールデータを入力する構成にすれば、コントロールレジスタの数が出力ピンの数より多い場合も、上記と同様の構成

で、コントロールデータについても直接出力ピンから順次取り出すことができ、同様の効果を得ることができる。

【0051】図3は、本発明の半導体記憶装置の第3の実施の形態を示したブロック図である。但し、図1に示した第1の実施の形態と同一部には同一符号を用い、且つ、その説明を適宜省略する。本例は従来例のところで述べたデータコヒーレンスをサポートする場合の例である。

【0052】本例はデータレジスタ9を有し、このデータレジスタ9内のデータを出力回路3に入力するためのバス10と、このバス10とメモリ回路2との切り換えを行うために、出力回路3の入力部にマルチプレクサ31が設けられている。又、レイライト用のアドレスを保存するためのレイライト用のアドレスレジスタ100がアドレス入力用のアドレスレジスタ13の出力側に接続され、アドレスレジスタ13とアドレスレジスタ100のいずれかのアドレスデータを選択してデコード21及びバス4に出力するマルチプレクサ101が設けられている。更に、データコヒーレンスをサポートするためと、テスト時にアドレスレジスタ13内のアドレスデータを出力回路3に直接転送するバス4と出力回路3を接続するためのマルチプレクサ14がバス10に挿入されている。他の構成は上記した第1の実施の形態と同様である。

【0053】次に本実施の形態の動作について説明する。レジスタ13から出力されるアドレスデータはマルチプレクサ101によって選択され、メモリア22のセル選択に用いられる。マルチプレクサ101はリードサイクルかライトサイクルかによって切り替わり、レイトライトによるメモリア22への書き込み(図9のサイクル Φ)において、レジスタ100に保存されているアドレスにデータレジスタ9に保存されているデータが書き込まれることになる。

【0054】次に、データコヒーレンスのサポートについて述べる。この場合、マルチプレクサ14は常にデータレジスタ9側に切り替わっているものとする。メモリア22へは未書きこみで、データレジスタ9に残っているデータのリードが起った場合、データレジスタ9内のデータを出力回路3に転送するために上記バス10が存在する。

【0055】入力アドレスのチェックを行い、レジスタ13の入力アドレスデータとレジスタ100の書き込みアドレスとが一致した場合には、その一致信号により、マルチプレクサ31の入力が制御回路5によりマルチプレクサ14側に切り替わり、メモリア22からの読み出しデータに代り、データレジスタ9内のデータがバス10を通して出力回路3に転送される。

【0056】本例は上記データコヒーレンスのサポート機能の他に、テスト時に、アドレスデータを出力回路3

に直接転送して読み出すために、データレジスタ9から出力回路3のマルチプレクサ31までのバス10の間に上記したマルチプレクサ14が設けてあり、このマルチプレクサ14を制御回路5により切り換えることで、入力回路1のアドレスレジスタ13側（バス4側）と、データレジスタ9側とを切り替えられるようになっている。尚、後述するように、テスト時、マルチプレクサ101はアドレスレジスタ13側を選択するように切り換えられる。

【0057】これにより、テストモード時では、図示されない外部のテストなどからパッド6を通してコマンドが制御回路5に入力されると、制御回路5はマルチプレクサ31の入力をマルチプレクサ14側（バス10側）に切り換えると共に、マルチプレクサ14をバス4側に切り換え、更にマルチプレクサ101をアドレスレジスタ13側に切り換える。その後、アドレスレジスタ13に保存されたアドレスデータが読み出され、マルチプレクサ101、バス4、マルチプレクサ14、31を通して出力レジスタ32に保存される。この保存されたアドレスが入出力パッド33から出力ピン（図示せず）に接続された外部のテストなどに入力される。

【0058】この場合、アドレスデータを直接出力回路3から取り出して、あるタイミングで取り込んだアドレスデータをそのままの状態を確認できるので、レイタライトを考慮して、メモリコア22への書きこみサイクルを追加したり、データコヒーレンスをサポートしている場合に、データがメモリコア22から読み出されているのか、データレジスタ9から読み出されているかなどの場合分けを考慮する必要が全くない。

【0059】本実施の形態によれば、通常、メモリコア22からの読み出しのためのクリティカルパスに、新たに追加されるものはないことと、データコヒーレンス動作時のデータレジスタ9からのデータ転送は、一般にメモリコア22からの読み出しに比べて、時間的余裕があるので、転送バス10にマルチプレクサ14を追加しても、通常の読み出し時の特性に何等の悪影響を与えずに、アドレスデータを直接出力ピンから取り出すことができる。しかも、レイタライトやデータコヒーレンスを意識することなく、図1に示した第1の実施の形態と同様の効果を得ることができる。尚、マルチプレクサ14、31を制御する制御回路5はチップの内部にあっても、外部にあってもよい。

【0060】図4は、本発明の半導体記憶装置の第4の実施の形態を示したブロック図である。但し、図3に示した第3の実施の形態と同一部には同一符号を用い、且つその説明を適宜省略する。本例は、 n 個の入力回路1の他に、入力コントロールデータを保存するコントロールレジスタ153を有する1個の入力回路15を有し、マルチプレクサ14は制御回路5の制御により、アドレスレジスタ13の出力側（正確にはマルチプレクサ10

1の出力側）、データレジスタ9の出力側に加えてコントロールレジスタ153の出力側を選択して、バス16を選択できるようになっている。他の構成は図3に示した第3の実施の形態と同様で、データコヒーレンスをサポートすることができる。

【0061】次に本実施の形態の動作について説明する。tS、tHのテストモード時、パッド6から制御回路5に入力されるコマンドにより、マルチプレクサ14がバス16を選択するように切り換えると、パッド151から入力バッファ152を通してコントロールレジスタ153に保存されている入力コントロールデータをバス16、マルチプレクサ14、31を通して、直接出力レジスタ32に転送する。

【0062】本実施の形態によれば、コントロール信号についても出力ピンから直接取り出すことにより、コントロールレジスタ13に入力されたコントロールデータを直接に確認することができる。このため、tS、tHのテストにおいて、チェックしたいコントロールの種類に応じて、いちいち必要なデータを書きこむ必要がなくなり、テスト時間を大幅に短縮化でき、又そのコストを低減できると共に、テストの信頼性を向上させることができる。

【0063】尚、マルチプレクサ14、31を制御する制御回路5はチップの内部にあっても、外部にあってもよい。

【0064】図5は、本発明の半導体記憶装置の第5の実施の形態を示したブロック図である。本例はアドレスデータを入力する複数のパッド51と、チェーン状にシリアルに接続され、パッド51から入力されたアドレスデータを取り込む複数のB/Sセル（レジスタ）が設けられている。

【0065】図6は図5のa部の拡大詳細図である。パッド51に入力バッファ53を介して入力レジスタ54が接続されると共に、B/S（Boundary scan cell）セル52がマルチプレクサ55の一方の入力を介して接続されている。マルチプレクサ55の他方の入力には入力レジスタ54の出力側が接続されている。更に、マルチプレクサの入力切り換えを制御する制御回路56が設けられている。

【0066】次に本実施の形態の動作について説明する。本例は、テスト容易化技術のひとつの技術として、B/Sセル52を用いたテスト回路を搭載している。このテストは、チップをボードに実装した際の各ピンの接触を確認するために、テストモードにおいて各ピンへの入力データを、各入力ピン毎に設けられた専用のB/Sセル52と呼ばれるレジスタに取り込めるようにし、その各ピンのB/Sセル52をチェーン状にシリアル接続し、チェーンの一端（TDO）からB/Sセル52内データをチップ外部に出力できるようにしてある。

【0067】上記テストでは、マルチプレクサ55は入

力バッファ53の出力側を選択するように制御回路5により切り換わっている。これにより、パッド51から入力されたデータはB/Sセル52へ取り込まれる。その後、取り込まれたデータはチェーン内でシフトされることで、各ピンへの入力データがTDOピンからシリアルに読み出され、各入力ピンに正しい入力ができているかの確認が行われる。

【0068】次にtS、tHのテストモード時では、外部のテスター等からパッド6を通してコマンドが制御回路5に入力され、この制御回路5よりマルチプレクサ54が入力レジスタ54の出力側を選択するように切り換わる。

【0069】パッド51から入力バッファ53を通してアドレスデータが入力され、入力レジスタ54に保存される。その後、この入力レジスタ54から前記アドレスデータを読み出し、それをマルチプレクサ54を通して、B/Sセル52に転送して保存させる。

【0070】その後、B/Sチェーンをシフトして行けば、アドレスピンからのデータが出てくる順番において、アドレスレジスタ54に取り込まれたアドレスデータを直接にTDOピンから出力させることができ、前記アドレスデータが各入力ピン毎に正しく入力されている否かを確認することができる。

【0071】本実施の形態によれば、各入力ピンからアドレスレジスタ54に入力したアドレスデータをB/Sセル52に転送した後、B/Sチェーンをシフトして前記アドレスデータを直接外部に取り出すことができるため、図1の実施の形態と同様の効果を得ることができる。

【0072】尚、上記第5の実施の形態で、パッド51からコントロールデータを入力すれば、コントロールデータについてB/Sチェーンをシフトして直接外部に取り出すことができ、上記と同様の効果を得ることができる。

【0073】

【発明の効果】以上詳細に説明したように、第1、第3、第4、第9の発明の半導体記憶装置によれば、アドレスレジスタ群に取り込まれたデータをアドレス毎に直接に確認できるので、tS、tHのテストにおいて、チェックしたいアドレスに応じて、いちいち必要なデータを書きこむ必要がなくなるため、テスト時間及びそのコストを大幅に削減することができる。また、出力データの値によって、アドレスデータが正しいか否かを予測するのでなく、アドレスデータの値を直接チェックできるので、テスト結果の信頼性を向上させることができる。

【0074】第2、第5、第6、第10の発明の半導体記憶装置によれば、コントロールレジスタ群に取り込まれたデータを直接に確認できるので、tS、tHのテストにおいて、コントロールの種類に応じて、いちいち必要なデータを書きこむ必要がなくなるため、テスト時間

及びそのコストを大幅に削減することができる。また、出力データの値によって、コントロールデータが正しいか否かを予測するのでなく、コントロールデータの値を直接チェックできるので、テスト結果の信頼性を向上させることができる。

【0075】第7、第8の発明の半導体記憶装置によれば、あるタイミングで取り込んだアドレスデータを、メモリ回路に記憶されたデータと無関係にテストできるので、レイトライトを考慮して、メモリ回路への書きこみサイクルを追加したり、データコヒーレンスをサポートしている場合に、データがメモリ回路から読み出されているのか、データレジスタ群から読み出されているかなどを場合分けする必要もなくなり、しかも、一回のテストで、アドレス毎に、アドレスデータの取り込みの正誤を確認できるので、アドレスピン毎にもS、tHのマージンの実力チェックができ、各アドレス毎に別々にもS、tHを振ってテストをする必要が無く、テスト時間及びそのコストを大幅に削減することができる。

【図面の簡単な説明】

【図1】本発明の半導体記憶装置の第1の実施の形態を示したブロック図である。

【図2】本発明の半導体記憶装置の第2の実施の形態を示したブロック図である。

【図3】本発明の半導体記憶装置の第3の実施の形態を示したブロック図である。

【図4】本発明の半導体記憶装置の第4の実施の形態を示したブロック図である。

【図5】本発明の半導体記憶装置の第5の実施の形態を示したブロック図である。

【図6】図5のa部の拡大詳細図である。

【図7】同期型メモリで仕様上規定されるセットアップ時間とホールド時間を説明するタイムチャートである。

【図8】同期型メモリにおけるレイトライト動作を説明するタイムチャートである。

【図9】同期型メモリにおけるレイトライト動作を説明するタイムチャートである。

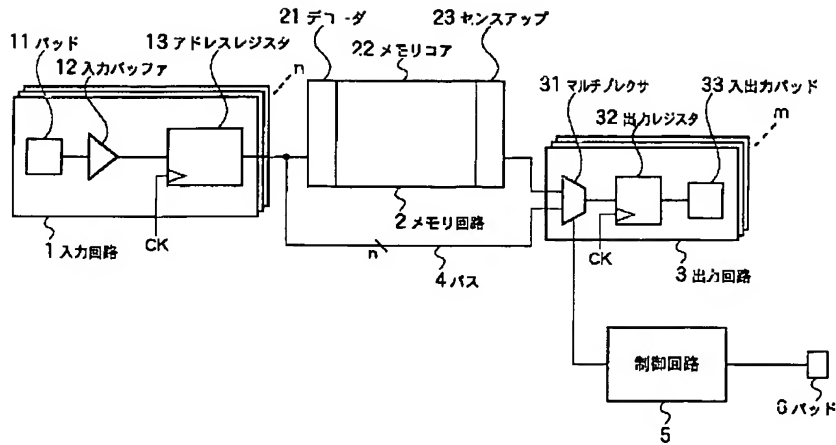
【符号の説明】

- 1、15 入力回路
- 2 メモリ回路
- 3 出力回路
- 4、10 バス
- 5、56 制御回路
- 6、7、11、51、57、151 パッド
- 8、14、31、55、101 マルチプレクサ
- 9 データレジスタ
- 12、53、152 入力バッファ
- 13、100 アドレスレジスタ
- 21 デコーダー
- 22 メモリコア
- 23 センスアンプ

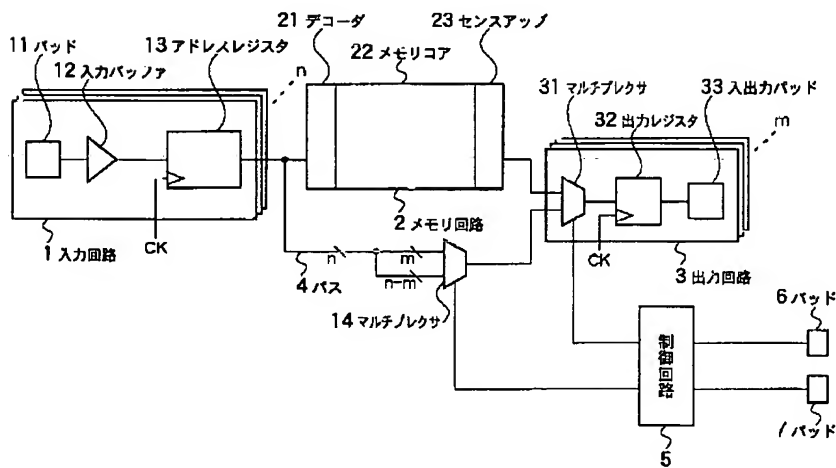
32 出力レジスタ
33 入出力パッド
52 B/Sセル

54 入力レジスタ
153 コントロールレジスタ

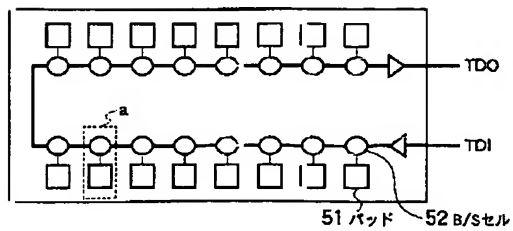
【図1】



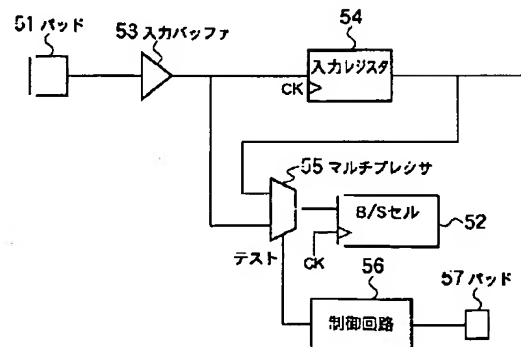
【図2】



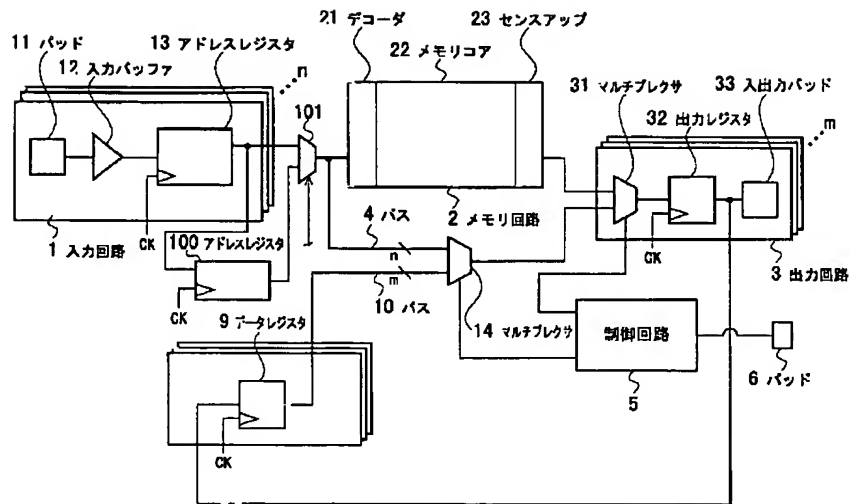
【図5】



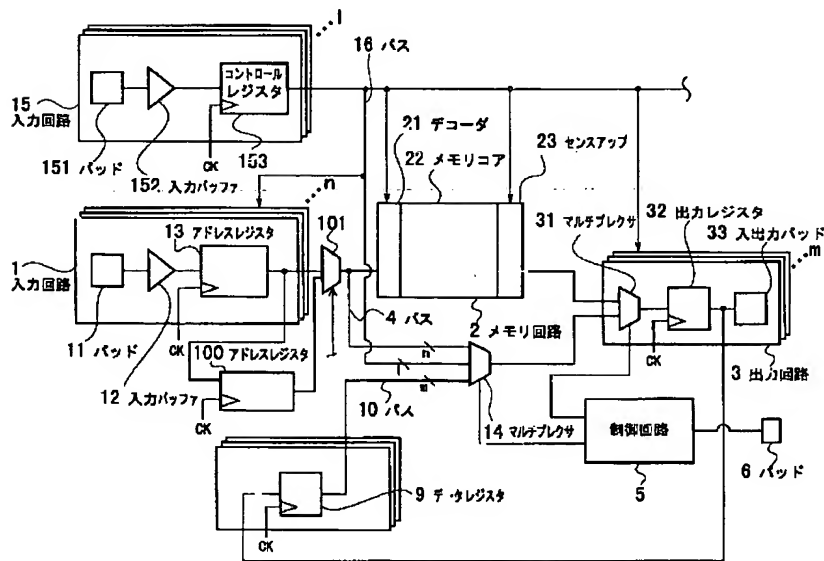
【図6】



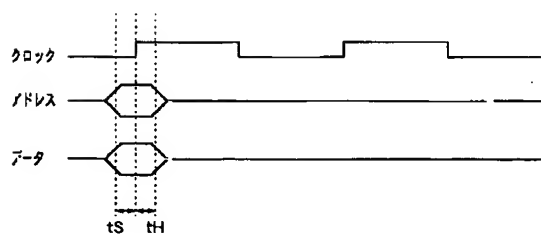
【図3】



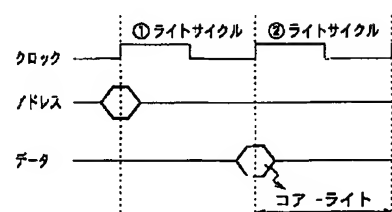
【図4】



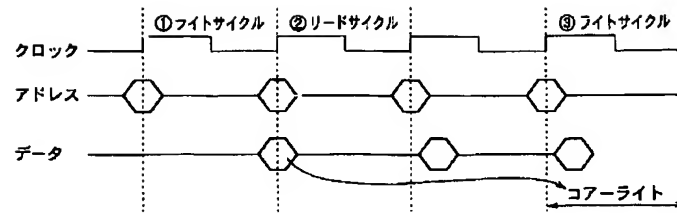
【図7】



【図8】



【図9】



フロントページの続き

(51)Int.Cl.⁷

識別記号

F I
G 1 1 C 11/34

(参考)

3 6 2 S
3 7 1 A

Fターム(参考) 2G032 AA07 AC10 AD06 AE07 AE10
 AE11 AG02 AG07 AH01 AK14
 AK16 AL00
 5B015 HH01 HH03 JJ21 KB35 KB43
 KB84 KB91 MM07 NN03 RR01
 5B024 AA15 BA21 BA29 CA07 EA02
 EA04
 5L106 DD03 DD12 DD32 EE01 EE03
 GG05
 9A001 BB04 HH34 JJ45 KZ31 KZ54
 LL05